

일본공개특허공보 평11-177020호(1999.07.02) 1부.

BEST AVAILABLE COPY

(10)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平11-177020

(43)公開日 平成11年(1999)7月2日

(51)Int.Cl.

発明記号

F I

H01L 25/085  
25/07  
25/18  
23/12H01L 25/08  
23/12B  
L

審査請求 未請求 請求項の数 7 O L (全 9 FO)

(21)出願番号 特願平9-341516

(22)出願日 平成9年(1997)12月11日

(71)出願人 000000285

神電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 小宮山 圭

東京都港区虎ノ門1丁目7番12号 神電気

工業株式会社内

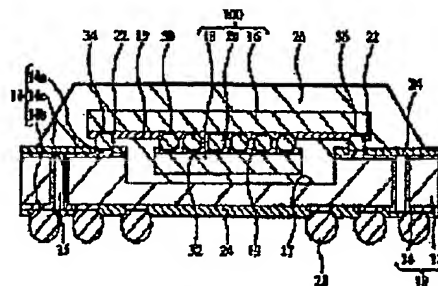
(74)代理人 弁理士 大垣 孝

(54)【発明の名称】 半導体実装構造およびその実装方法

(57)【要約】

【課題】 基板をコンパクトにした状態で、実装面積の割合を大きくすること。

【解決手段】 基板10と、この基板の上面側に、基板の上面に垂直な方向に積み重ねられている2つの半導体素子16および18からなる積み重ね体100とを具備し、2つの半導体素子は、第1導電性パンプ20を介して互いに電気的に堅固に結合されていること。



10: プリント配線基板  
11: 基板  
12: 半導体素子  
13: 第1半導体素子  
14: 第2半導体素子  
15: ソルダペースト  
16: 第1電極パンプ  
17: フォトリソレジスト  
18: 第2電極パンプ  
19: 第1電極パンプ  
20: 第2電極パンプ  
21: 第1電極パンプ  
22: 第2電極パンプ  
23: 第1電極パンプ  
24: 第2電極パンプ  
25: 第1電極パンプ  
26: 第2電極パンプ  
27: 第1電極パンプ  
28: 第2電極パンプ  
29: 第1電極パンプ  
30: 第2電極パンプ  
31: 第1電極パンプ  
32: 第2電極パンプ  
33: 第1電極パンプ  
34: 第2電極パンプ

図1の实施方式の断面図

【特許請求の範囲】

【請求項1】 基板と、

該基板の上面側に、該基板の上面に垂直な方向に積み重ねられている2つの半導体素子からなる積み重ね体とを  
具備、

前記2つの半導体素子は、第1導電性パンプを介して互いに電気的に結合されていることを特徴とする半導体実装構造。

【請求項2】 請求項1に記載の半導体実装構造において、一方の前記半導体素子を第2導電性パンプを介して前記基板に電気的に接続してあることを特徴とする半導体実装構造。

【請求項3】 請求項1に記載の半導体実装構造において、前記半導体素子を導電性ワイヤを介して前記基板に電気的に接続してあることを特徴とする半導体実装構造。

【請求項4】 請求項1に記載の半導体実装構造において、前記基板の上面には、前記積み重ね体の一部分を収納する溝を形成してあることを特徴とする半導体実装構造。

【請求項5】 請求項1に記載の半導体実装構造において、前記積み重ね体を2個具備、

これら積み重ね体は、互いに隣接された状態で積み重ねられかつ固定されていることを特徴とする半導体実装構造。

【請求項6】 請求項5に記載の半導体実装構造において、前記積み重ね体のそれぞれの一方の前記半導体素子を前記基板の電気的に隔離された箇所に個別的に電気的にそれぞれ接続してあることを特徴とする半導体実装構造。

【請求項7】 基板を用意する工程と、

第1導電性パンプを用いて、2つの半導体素子同士を熱圧着により電気的に接続して積み重ね体を形成する工程と、

第2導電性パンプを用いて、前記積み重ね体の一方の前記半導体素子と前記基板とを電気的に接続する工程とを含むことを特徴とする半導体実装構造の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体実装構造およびその実装方法に関する。

【0002】

【従来の技術】 従来の半導体実装構造としては、文献「日経エレクトロニクス、1994、2、14号p. 59〜」に開示されたBGA (Ball Grid Array) 型半導体装置がある。

【0003】 このBGA型半導体装置は、基板（プリント基板）上に1つの半導体素子を搭載しており、当該半導体素子の上面に設けられた電極部とプリント基板の配線とを金線ワイヤにより電気的に接続している。そし

て、当該半導体素子を含む基板上には、半導体素子を外部の環境から保護するための封止樹脂が設けられている。

【0004】 一方、プリント基板の表面には、複数の導電性パンプ（金線パンプ）が基板の導電体部分（配線）に接続されている。従って、この金線パンプを介してBGA型半導体装置と他の回路とを接続することが可能となる。

【0005】 従来のBGA型半導体装置では、プリント基板の表面にギャングボンド接続用の電極パンプを設けたことにより、実装基板の実装面積を半導体素子の面積に近づけることが可能となる。従って、半導体装置自身をコンパクトにできる。

【0006】

【発明が解決しようとする課題】 しかしながら、従来のBGA型半導体装置は、仮にプリント基板上に複数の半導体素子を搭載しようとした場合、半導体素子の面積分だけ、実装基板の面積が必要となり、実装基板の面積が大きくなってしまふ。従って、従来のBGA型半導体装置では、実装基板の実装面積が、半導体素子の面積により制限されてしまうため、半導体素子を増やすことができなかった。

【0007】 また、半導体素子と基板との接続を金線ワイヤ（ボンディングワイヤ）を用いて接続しているため、接続箇所を個別に接続していた。このため、接続作業に時間がかかり、作業効率が悪いという問題がある。

【0008】 そのため、実装基板の面積を増加させず、半導体素子を多数搭載可能な半導体実装構造および作業性の良い実装方法の実現が望まれていた。

【0009】

【課題を解決するための手段】 このため、この発明の半導体実装構造によれば、基板と、この基板の上面側に、基板の上面に垂直な方向に積み重ねられている2つの半導体素子からなる積み重ね体とを具備、2つの半導体素子は、第1導電性パンプを介して互いに電気的に堅固に結合されていることを特徴とする。

【0010】 このように、基板の上面に対して垂直な方向に2つの半導体素子を積み重ねてあるので、従来の比で、実装面積の割合（半導体素子の面積÷実装基板の面積）を大きくすることができる。従って、実装基板を小型化した状態で、実装基板上に2つの半導体素子を搭載することが可能となる。

【0011】 また、この発明の実施に当たり、好ましくは、一方の半導体素子を第2導電性パンプを介して基板に電気的に接続してあるのが良い。

【0012】 このように、この発明では、第2導電性パンプにより半導体素子と基板とを電気的に接続してあるので、両者を接続するとき、例えば熱圧着により一回の作業工程で複数の接続箇所を同時に接続することが可能となる。

【0013】また、この発明の実施に当たり、好ましくは、半導体素子を導電性ワイヤを介して基板に電気的に接続してあるのが良い。

【0014】このようにすれば、一方の半導体素子と基板とを導電性ワイヤで接続することにより2つの半導体素子同士が電気的に接続されているので、2つの半導体素子を同時に駆動させることができる。

【0015】また、この発明の実施に当たり、好ましくは、基板の上面には、積み重ね体の一部分を収納する溝を形成してあるのが良い。

【0016】このような構成にすれば、積み重ね体を構成している半導体素子の一方の素子の一部分を溝中に収納することができるので、半導体素子の実装高さを低減することができる。

【0017】また、この発明の実施に当たり、好ましくは、積み重ね体を2組見え、これら積み重ね体は、互いにはさまれた状態で積み重ねられかつ堅固に固定されているのが良い。

【0018】このように、2組の積み重ね体を用いて、それぞれの積み重ね体同士を絶縁性を有する材料、例えば接着剤で固定することにより、半導体素子は、4個積み重ねられるため、実装面積の割合がさらに大きくなる。

【0019】また、この発明の実施に当たり、好ましくは、積み重ね体のそれぞれの一方の半導体素子を基板の電気的に接続された箇所と個別に電気的にそれぞれ接続してあるのが良い。このように、2組の積み重ね体の一方の半導体素子をそれぞれ電気的に接続された基板の箇所と接続してあるので、個々の積み重ね体を個別に駆動させることが可能となる。

【0020】また、この発明の半導体実装構造の実装方法によれば、基板を用意する工程と、第1導電性パンプを用いて、2つの半導体素子同士を熱圧着により電気的に接続して積み重ね体を形成する工程と、第2導電性パンプを用いて、積み重ね体の一方の半導体素子と基板とを電気的に接続する工程とを含むことを特徴とする。

【0021】このようにすれば、2つの半導体素子同士を第1導電性パンプを介して熱圧着により電気的に接続させ、一方の半導体素子と基板とを第2導電性パンプを介して電気的に接続させているので、それぞれの工程で、一回の工程で複数の接続箇所を同時に接続されることが可能となる。従って、従来のワイヤボンディング等と比べ、作業効率を向上する。

【0022】

【発明の実施の形態】以下、図を参照して、この発明の半導体実装構造およびその実装方法の実施の形態につき説明する。なお、図は、この発明が理解できる程度に、各構成要素の大きさ、形状および配置関係を概略的に示してあるにすぎず、従って、この発明は、何ら図示例に限定されるものではない。なお、この実施の形態では、

半導体実装構造としてBGA型半導体装置を例にとって説明する。

【0023】【第1の実施の形態のBGA型半導体装置の構造】図1を参照して、この発明の第1の実施の形態のBGA型半導体装置の主要構造につき説明する。なお、図1は、第1の実施の形態のBGA型半導体装置の構造を説明するための切り口断面を示す図である。

【0024】第1の実施の形態では、基板10とこの基板10の上面側に、基板10の上面に垂直な方向に積み重ねられている2つの半導体素子16および18からなる積み重ね体100とを具えている。そして、2つの半導体素子16および18は、第1導電性パンプ20を介して互いに電気的に堅固に結合されている。ここでは、一方の半導体素子16を第1半導体素子と称し、他方の半導体素子18を第2半導体素子と称する。

【0025】この第1の実施の形態では、基板10は、周知の通り絶縁板12の表面に配線（例えば銅（Cu）配線とする。）14が形成されており、この配線14の上面配線14aと下面配線14bとは、スルーホール部15の配線14cにより接続されている。また、この基板10の上面には、積み重ね体100の一部分を収納するための溝17が形成されている。この溝17の深さは、第2半導体素子18の厚さと第1導電性パンプ20の高さとを加算した値よりもいくらか深くしておくのが良い。その理由は、あまり溝の深さが浅いと、第1半導体素子16を基板に接続したとき、第2半導体素子18が溝17の底面にぶつかって両者が接続されずに、第1半導体素子16が基板10から遊き上がるのを防止するためである。

【0026】また、基板10の表面および裏面の配線14の第2金属パンプとの接合部および外部電極との接合部以外の領域をソルダーレジスト24で覆っている。

【0027】そして、この第1の実施の形態では、この基板10の上面に対して垂直な方向に2つの半導体素子16および18、すなわち第1および第2半導体素子を積み重ねてある。

【0028】また、第1半導体素子16には、複数の電極30が設けられており、また、第2半導体素子18にも複数の電極32が設けられている。そして、第1半導体素子16の電極30と第2半導体素子18の電極32以外の面を保護膜（パッシベーション（P.V）膜）19で覆ってある。

【0029】また、この第1半導体素子16の電極30と第2半導体素子18の電極32とは、第1導電性パンプ20を介してそれぞれ電気的に堅固に結合されている。ここでは、第1および第2半導体素子の電極30および32と第1導電性パンプ20とを熱圧着により接続してある。

【0030】第1導電性パンプ20は、第1半導体素子

１と第２半導体素子１８との間に、複数個、この例では、５個設けられている。この第１導電性パンプ２０を例示はんだ（Ｓｎ－Ｐｂ）パンプとする。なお、ここでは、第１導電性パンプ２０をはんだパンプとしたが、はんだパンプの代わりに、銅（Ｃｕ）パンプ、Ａｇ－Ｃｕパンプ又は異方向性導電体パンプなどを使用してもよい。なお、この実施の形態では、第１導電性パンプ２０を第１金属パンプとも称する。

【００３１】また、第１半導体素子１６の一方および他方の外周縁部の電極３４および３６には、複数の第２導電性パンプ２２が設けられている。ここでは、第２導電性パンプ２２を２個設けた例を示す。また、第２導電性パンプ２２の材料を上記した第１金属パンプ２０と同様な材料（はんだ）とする。なお、ここでは、第２導電性パンプ２２を第２金属パンプとも称する。

【００３２】この第１の実施の形態では、第２金属パンプ２２を基板１０の上面配線１４ａに熱圧着により接合してある。従って、第１半導体素子１６と基板１０とは、電気的に接続されている。

【００３３】また、このＢＧＡ型半導体装置では、従来と同様に第１および第２半導体素子１６および１８を外周の環境から保護するため、封止樹脂２６が設けられている。

【００３４】また、基板１０の下面配線１４ｂには、外部電極２８が設けられている。ここでは、外部電極２８として、金属パンプを用いる。

【００３５】【第１の実施の形態の実装方法】次に、図２の（Ａ）、（Ｂ）および（Ｃ）を参照して、第１の実施の形態のＢＧＡ型半導体装置の実装方法につき説明する。なお、図２の（Ａ）、（Ｂ）および（Ｃ）は、第１の実施の形態のＢＧＡ型半導体装置の実装方法を説明するための切り口断面を示す図である。

【００３６】まず、第１半導体素子１６上の電極３０、３４および３６に金属パンプ２０および２２を形成する。その後、第１半導体素子１６と第２半導体素子１８とを逆さまに第１半導体素子１６の電極３０側の金属パンプ２０と第２半導体素子１８の電極３２側とを対向させる（図２の（Ａ））。その後、第１半導体素子１６の金属パンプ２０と第２半導体素子１８の電極３２とを熱圧着により、一回の工程で同時に接合する（図２の（Ｂ））。

【００３７】このような第１および第２半導体素子１６および１８同士を熱圧着により接合する方法をここでは、フリップチップ（Flip-Chip）ボンディングと称する。

【００３８】この実施の形態では、第１金属パンプ２０を６個および第２金属パンプ２２を２個それぞれ形成してある。また、第１半導体素子１６の電極２０側の表面と、第２半導体素子１８の電極３２側の表面には、保護

膜（ＰＶ膜）１９が形成されている。

【００３９】次に、第２金属パンプ２２と基板１０とを、例えば熱圧着法により電気的に接合する（図２の（Ｃ））。このような工程をフリップチップ（Flip-Chip）ボンディングと称する。

【００４０】第１の実施の形態では、例えばミールングにより基板１０の上面の一部に積み重ね体１００の一部を挿入するための溝１７を形成する。ここでは、この溝１７の深さを第２半導体素子１８と溝１７の底面とが接触しない程度とし、また、溝１７の大きさ（溝１７の長さおよび幅）を第２半導体素子１８が収容できる程度の寸法に形成しておく。

【００４１】次に、第２半導体素子１８を溝１７に収納して第１半導体素子１６の第２金属パンプ２２を基板１０の配線１４に搭載する。その後、熱圧着法により第２金属パンプ２２と配線１４とを電気的に接合する。なお、ここでは、第２金属パンプ２２と配線１４との接合を熱圧着法を用いて行ったが、スポットレーザ加熱或いはリフロー雰囲気加熱法などを用いて接合してもよい。

【００４２】次に、積み重ね体１００を封止樹脂（例えばエポキシ樹脂）を用いて封止する（図示せず）。その後、基板１０の表面の配線１４に例えばパンプ搭載リフロー雰囲気加熱法を用いて金属パンプ（図示せず）を接合する。尚、この、基板１０の配線１４の金属パンプ取り付け部以外にソルダーレジスト２４を形成しておく。

【００４３】上述した工程を経て第１の実施の形態のＢＧＡ型半導体装置は完成する。

【００４４】第１の実施の形態のＢＧＡ型半導体装置構造によれば、第１および第２半導体素子１６および１８からなる積み重ね体１００を基板１０の上面に搭載してあるので、スタック化が実現出来かつ従来に比べ、実装面積の割合を大きくすることができる。すなわち、従来は半導体素子が一個であったが、この実施の形態では、２つの半導体素子を重ね合わせているので、実装面積の割合は２倍となる。

【００４５】また、基板１０には、溝１７を設けて積み重ね体１００の一部を収納しているため、実装高さを低減することができる。

【００４６】また、この装置の実装方法によれば、第１半導体素子１６と第２半導体素子１８とを第１金属パンプ２０を介して熱圧着により接合している。従って、複数の接続箇所を一回の作業工程で電気的に接合させることができるため、作業効率が向上する。

【００４７】【第２の実施の形態のＢＧＡ型半導体装置の構造】図３を参照して、この発明の第２の実施の形態のＢＧＡ型半導体装置につき説明する。なお、図３は、第２の実施の形態のＢＧＡ型半導体装置の主要構造を説明するための切り口断面を示す図である。

【００４８】第２の実施の形態では、積み重ね体１００を基板１０上面に直接搭載してある点、および導電性ワ

ワイヤ39を用いて、第1半導体素子16の電極34および基板10の配線14とを接続している点が第1の実施の形態と異なっている。

【0049】また、この例では、基板10の上には接続配線部分を除いて、ソルダーレジスト24を形成してある。このソルダーレジスト24上に、上述した積み重ね体100を絶縁層38を介して堅固に結合する。ここでは、絶縁層38として接合剤を用いる。

【0050】また、第1半導体素子16の電極34および36と基板10の配線14とを導電性ワイヤ39を用いてそれぞれ接続している。ここでは、導電性ワイヤとして、例えばボンディングワイヤを用いる。その他の構成は、第1の実施の形態の構成と同様であるため、ここでは詳細な説明を省略する。

【0051】次に、第2の実施の形態のBGA型半導体装置を説明する場合に、まず、積み重ね体100を接続させる部分の配線14を除く基板10の上にソルダーレジスト24を形成する。

【0052】次に、ソルダーレジスト24上に接合剤を塗布して、当該ソルダーレジスト24上に、上述した第1の実施の形態と同じ方法で形成した第1および第2半導体素子16および18からなる積み重ね体100を接合させる。このとき、第1半導体素子16を基板10側に、すなわち下側に配設する。

【0053】第1半導体素子16とソルダーレジスト24とを接合させた後、ボンディングワイヤ39により第1半導体素子16の電極34および36と基板10の配線14とを電気的に接続する。その他の工程は、第1の実施の形態の工程と同様にして行う。

【0054】第2の実施の形態では、第1および第2半導体素子16および18からなる積み重ね体100を基板10の上側に直接接合してあるので、従来に比べ、実装面積の割合が大きくなると共に、第1の実施の形態のように基板10に溝17を形成する必要がない分、基板10の厚さを薄くすることができるといえる利点がある。

【0055】【第3の実施の形態のBGA型半導体装置の構成】次に、図4および図5を参照して、この発明の第3の実施の形態のBGA型半導体装置の主要構造につき説明する。なお、図4は、第3の実施の形態のBGA型半導体装置の主要構造を説明するための斜視図であり、図5は、図4の×-×線に沿って切断した位置での切り口断面を示す図である。なお、図4は、図を明瞭にするため装置の内部構成を省略して示す。

【0056】第3の実施の形態では、2組の積み重ね体100および200を基板10の上面の垂直方向に重ねた構造になっている。すなわち、ここでは、上述した積み重ね体100の他に、もう1組の積み重ね体200を設けてある。この例では、一方の積み重ね体100を第1積み重ね体と呼し、他方の積み重ね体200を第2積

み重ね体と呼する。

【0057】第2積み重ね体200は、第3半導体素子40と第4半導体素子42とを直交させて結合させてある。同者40および42の結合には、第3金属パンプ44を用いている。そして、第1半導体素子16と第3半導体素子40とを互いに絶縁された状態で、ここでは接合剤46を用いて堅固に固定（接合）させてある。

【0058】また、第1半導体素子16と基板10の配線14とは、第1の実施の形態と同様に第2金属パンプ22を介して電気的に接続されている。

【0059】また、第3半導体素子40の電極48および50と基板10の配線14とは、ボンディングワイヤ39によって接続されている。その他の構成は、第1の実施の形態の構成と同様である。従って、ここでは詳細な説明を省略する。

【0060】【第3の実施の形態の装置方法】次に、図6、図7および図8を参照して、この発明の第3の実施の形態のBGA型半導体装置の装置方法につき説明する。図6の（A）および（B）、図7の（A）および（B）並びに図8の（A）および（B）は、第3の実施の形態のBGA型半導体装置の装置方法を説明するための工程図である。

【0061】第3の実施の形態では、予め、第1半導体素子16の電極30、34および36以外の領域には、PVD膜19を形成し、第2半導体素子18の電極32以外の領域にはPVD膜19を形成しておく。また、第1半導体素子18の電極30、34および36上には、第1金属パンプ20と第2金属パンプ22とを形成しておく。

【0062】次に、Chip-Chipボンディング工程により、上述した第1の実施の形態の装置方法と同様にして、まず第1半導体素子16と第2半導体素子18とを第1金属パンプ20を介して、互いに交差させて熱圧着により接合する。このようにして、第1半導体素子16と第2半導体素子18とからなる第1積み重ね体100が形成される（図6の（A））。

【0063】次に、Flip-Chipボンディング工程により、第1半導体素子16の電極34および36に設けられた第2金属パンプ22と基板10の配線14とを熱圧着法などにより接続する（図6の（B））。なお、第3の実施の形態では、基板10に、第1積み重ね体100の一部を吸着するための溝17を形成してある。ここまでの工程は第1の実施の形態と同様である。

【0064】次に、予め、第3半導体素子40の電極47上に形成された第3金属パンプ44を用いて第3半導体素子40と第4半導体素子42とを熱圧着により接合する。このときも、予め電極43、47、48および50の接合面以外の第3および第4半導体素子40および42の一方の面にはPVD膜19を形成しておく。

【0065】次に、第3半導体素子40と第4半導体素

子42とを、互いに交差させて接合する。このようにして、第3半導体素子40と第4半導体素子42とからなる第2積み重ね体200が形成される(図7の(A))。

【0065】次に、第1半導体素子16の上面に第2積み重ね体200を互いに接合された状態で、積み重ね体を堅固に結合させる(図7の(B))。なお、この第3の実施の形態では、第1半導体素子16の上面に接合剤16を塗布し、その後、第2積み重ね体200の第3半導体素子40と第1半導体素子16とを互いに接合させる。

【0067】次に、ワイヤーボンディング工程により、ボンディングワイヤ39を用いて第3半導体素子40の電極48および50と基板10の配線14とを電気的に接続する(図8の(A))。なお、ここでは、予め、基板10の配線14の第2金属パンプ22およびボンディングワイヤ39の接続部分以外の領域にソルダーレジスト24を形成しておく。

【0068】以下の工程は周知の技術で行われる。すなわち、第1および第2積み重ね体100および200を置いて基板10上に対峙し、図26を形成する(図8の(B))。その後、例えば熱圧着により基板10の表面に形成されている配線14に金属パンプ(図5)を接合する。上述した一連の工程を経て第3の実施の形態のBGA型半導体装置が完成する。

【0069】第3の実施の形態では、基板10の上面に、第1、第2、第3および第4半導体素子16、18、40および42を積み重ねているので、第1および第2の実施の形態に比べ、実装面積の割合はさらに大きくなる。すなわち、ここでは、半導体素子を4個積み重ねているので、従来の比べ、実装面積の割合は、約4倍となる。また、基板10には、溝17を形成してあるので、実装高さが低減する。また、第1半導体素子16と基板10、および第3半導体素子40と基板10とを電気的に隔離して個別に接続してある。すなわち、個々の積み重ね体は、ソルダーレジスト24を挿んで、スルーホール部15の内側の基板10上に第1半導体素子16が第2金属パンプ22を介して電気的に接続され、スルーホール部15の外側の基板10上に第3半導体素子40がボンディングワイヤ39を介して電気的に接続されている。このため、第1および第2積み重ね体100および200を個別に駆動させることができる。

【0070】なお、上述した実施の形態では、BGA型半導体装置を例にとって説明したが、向らこの半導体装置に限定されるものではなく、プリント配線基板を用いたCOP(チップオンボード: Chip on Board)実装とかベアチップの実装などにも適用できる。

【0071】

【発明の効果】上述した説明からも明らかなように、この発明の半導体実装構造によれば、基板の上面側に、こ

の基板上面に対して垂直の方向に2つの半導体素子からなる積み重ね体を積み重ねているので、スタック化が実現出来かつ従来に比べ、実装面積の割合を大きくすることができる。また、実装基板は小型にできるので、装置のコンパクト化が可能となる。

【0072】また、基板には積み重ね体の一部分を収納するための溝を設けているので、実装高さを低減することができる。

【0073】また、積み重ね体の一方の半導体素子と基板の配線部を第2導電性パンプを用いて堅固に結合させてある。このように第2導電性パンプを用いているので、熱圧着により一回の作業で複数の接続箇所を同時に接合させることができる。このため、作業効率が向上する。

【0074】また、2個の積み重ね体を用意、これら積み重ね体を互いに接合された状態で積み重ねているので、2つの半導体素子を積み重ねたときに比べ、実装面積の割合をさらに大きくすることが可能となる。

【0075】また、この発明の半導体実装構造の実施方法によれば、2つの半導体素子同士を第1導電性パンプを介して熱圧着により互いに接合させている。このため、一回の工程で、複数箇所の接合が可能となり、作業効率が向上する。

【0076】積み重ね体の一方の半導体素子と基板とを第2導電性パンプを用いて電気的に接合している。このため、例えば、熱圧着法または超音波法により第2導電性パンプを介して両者を接合することができるため、一回の工程で複数箇所の接合が可能となる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態の半導体実装構造を説明するために供する断面図である。

【図2】(A)～(C)は、第1の実施の形態の半導体実装構造の実装方法を説明するために供する断面図である。

【図3】この発明の第2の実施の形態の半導体実装構造を説明するために供する断面図である。

【図4】この発明の第3の実施の形態の半導体実装構造を説明するために供する斜視図である。

【図5】この発明の第3の実施の形態の半導体実装構造を説明するために供する断面図である。

【図6】(A)～(B)は、第3の実施の形態の半導体実装構造の実装方法を説明するために供する工程図である。

【図7】(A)～(B)は、図6に続く、半導体実装構造の実装方法を説明するために供する工程図である。

【図8】(A)～(B)は、図7に続く、半導体実装構造の実装方法を説明するために供する工程図である。

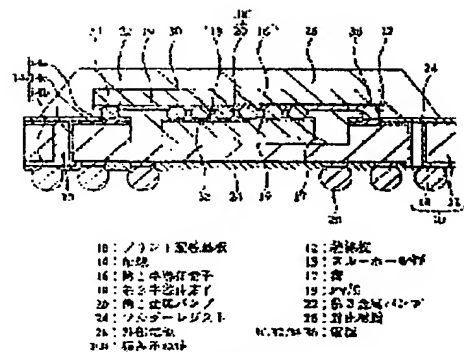
【符号の説明】

10: プリント配線基板

12: 絶縁板

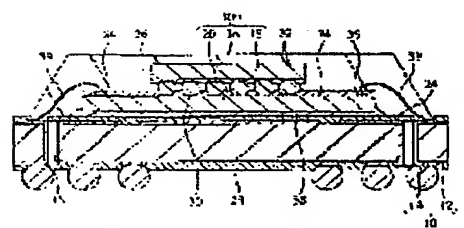
14: 配線  
 15: スルーホール部  
 16: 第1半導体素子  
 17: 溝  
 18: 第2半導体素子  
 20: 第1金属パンプ  
 22: 第2金属パンプ  
 24: フィルターレジスト  
 26: 封止樹脂  
 28: 外部電極

【図1】



第1の実施形態

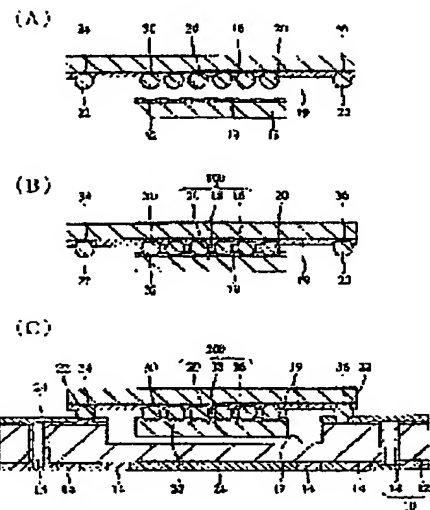
【図2】



第2の実施形態

30, 32, 34, 35, 43, 47, 48, 50: 電極  
 38: 接合部  
 39: ボンディングワイヤ  
 40: 第3半導体素子  
 42: 第4半導体素子  
 44: 第3金属パンプ  
 46: 接合部  
 100: 第1積み重ね体  
 200: 第2積み重ね体

【図3】



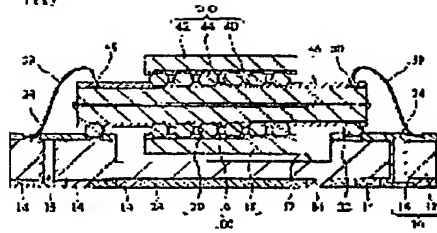
第3の実施形態





[26]

(A)



(B)

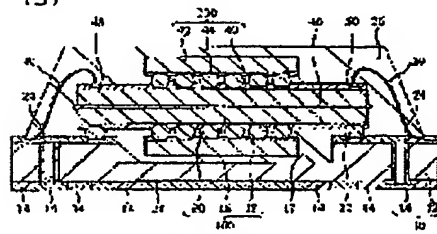


FIG. 2(B)

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**